

PATENT
81790.0296
Express Mail Label No. EV 325 217 412 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:	Art Unit: Not assigned
Kazuko INUZUKA et al.	Examiner: Not assigned
Serial No: Not assigned	
Filed: September 15, 2003	
For: Synchronous Semiconductor Memory Device of Fast Random Cycle System and Test Method Thereof	

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-287868 which was filed September 30, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 15, 2003 By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

03S0483

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月30日

出願番号

Application Number:

特願2002-287868

[ST.10/C]:

[JP2002-287868]

出願人

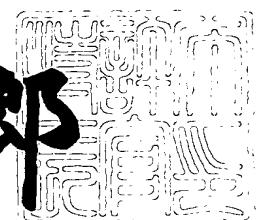
Applicant(s):

株式会社東芝

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025657

【書類名】 特許願
 【整理番号】 A000204219
 【提出日】 平成14年 9月30日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G11C 11/407
 【発明の名称】 同期型半導体記憶装置及びそのテスト方法
 【請求項の数】 10
 【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内
 【氏名】 犬塚 和子
 【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内
 【氏名】 川口 一昭
 【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
 【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
 【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
 【選任した代理人】
 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置及びそのテスト方法

【特許請求の範囲】

【請求項1】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始を前記第2のコマンドの入力と同期させるためのテストモード用の第2の信号を生成する第2の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項2】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するた

めの選択信号が入力され、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるためのテストモード用の第2の信号を生成する第2の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項3】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、

前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、

前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始のタイミングを前記第2のコマンドよりも半クロック単位または1クロック単位で順次遅延し、タイミング制御信号に基づいて遅延量を選択することにより、前記ロウ系回路の動作開始のタイミングを設定するテストモード用の第2の信号を生成する第2の回路と、

前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路と

を具備することを特徴とする同期型半導体記憶装置。

【請求項4】 前記第2の回路は、ロウ系回路の動作開始のタイミングを前

記第2のコマンドよりも半クロック単位または1クロック単位で遅延する遅延回路を含むことを特徴とする請求項1または2に記載の同期型半導体記憶装置。

【請求項5】 前記第2の回路は、タイミング制御信号に基づいて遅延量を選択するタイミング制御回路を含むことを特徴とする請求項3に記載の同期型半導体記憶装置。

【請求項6】 前記選択信号はメモリセルアレイ中のバンクを選択する信号であり、前記第3の信号は前記メモリセルアレイにおける選択したバンクを活性化する信号であることを特徴とする請求項1乃至5いずれか1つの項に記載の同期型半導体記憶装置。

【請求項7】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第1のコマンドを入力するステップと、

前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始を前記第2のコマンドの入力と同期させるステップと、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴とする同期型半導体記憶装置のテスト方法。

【請求項8】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第1のコマンドを入力するステップと、

前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるステップと、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、

活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴とする同期型半導体記憶装置のテスト方法。

【請求項9】 第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、

通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、

第1のコマンドを入力するステップと、

前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、

前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始のタイミングを第2のコマンドよりも半クロック単位または1クロック単位で遅延するステップと、

タイミング制御信号に基づいて、前記ロウ系回路の動作開始のタイミングを選択するステップと、

メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、

活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴とする同期型半導体記憶装置のテスト方法。

【請求項10】 前記スクリーニングテストを行うステップの前に、ロウ系制御のカラムゲーティリング解除信号の切り替わりのタイミングを前倒しするステップを更に具備し、ガードバンドを持ったスクリーニングテストを行うことを特徴とする請求項7乃至9いずれか1つの項に記載の同期型半導体記憶装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型半導体記憶装置係り、特にメモリセルアレイからのランダムなデータの読み書きを高速に行う機能を有する高速ランダムサイクル方式の同期型半導体メモリ（F C R A M）及びそのテスト方法に関するもので、例えば高速ランダムサイクルR A M（S D R - F C R A M）、さらにその2倍のデータ転送レートを実現するダブルデータレート型高速ランダムサイクルR A M（D D R - F C R A M）などに使用されるものである。

【0002】

【従来の技術】

D R A Mのデータアクセスを高速化し、高いデータバンド幅を得るために、シンクロナスD R A M（S D R A M）が発案され、実用化されている。最近では、更なるバンド幅向上のため、S D R A Mの2倍のデータレートで動作するダブルデータレートS D R A M（D D R - S D R A M）が提案され、製品化されている。しかし、S D R A Mのバンド幅の向上が進む一方で、ランダムサイクルタイム（t R C）、即ち、異なるロウアドレスへのデータアクセスのサイクルタイムは、メモリコアからのデータ読み出し、増幅動作、プリチャージ動作に一定の時間を要するため、大幅な高速化は困難であった。

【0003】

この問題を解決するため、メモリコアへのアクセス及びプリチャージ動作をパイプライン化し、ランダムサイクルタイムt R Cを従来のS D R A Mの1／2以下に短縮した高速サイクルR A M（Fast Cycle RAM：F C R A M）が提案され、製品化が始まっている。

【0004】

まず、上記F C R A Mのコマンド体系について概略的に説明する（例えば特許文献1参照）。F C R A Mのコマンドは、第1のコマンド（ファーストコマンド）と、この第1のコマンドの次のサイクルで入力される第2のコマンド（セカンドコマンド）とから成り、その組み合わせにより種々の動作が決定される。上記ファーストコマンドは、ロウ系回路の動作を開始するためのコマンドであり、セカンドコマンドはカラム系回路の動作を開始するためのコマンドである。ファーストコマンドが入力されてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間 t_{RCD} が1クロックサイクルになる。

【0005】

図5は、上記F C R A Mにおけるファーストコマンドとセカンドコマンドの組み合わせによる動作の状態遷移図である。図6は、上記図5のコマンド入力に対応したピン入力を示したファンクションテーブルである。

【0006】

図5に示すように、待機状態（S T A N D B Y）の次のファーストコマンド入力において、ロウアドレスを取り込み、周辺のロウ系回路の動作を開始する従来のロウアクセスコマンドA C Tの代わりに、リードコマンド（Read with Auto-close）R D Aあるいはライトコマンド（Write with Auto-close）W R Aを直接与える。そして、図6のファンクションテーブル示すように、S D R／D D R－S D R A Mに設けられているチップセレクト信号／C S ピンを“L”レベルにしたときにコマンド入力を受け付ける。リードとライトのコマンドの区別は、コマンドの種類を定義するF N（ファンクションコントロール）ピンというピンを用い、このF Nピンに与えられた信号のレベルにより行う。この例では、リードであればF Nピンを“H”レベルにセット、ライトであれば“L”レベルにセットする。

【0007】

また、センスアンプの分割デコード用のロウアドレスもファーストコマンドで与えることができる。但し、S D R／D D R－S D R A Mで用いる、標準パッケ

ージのピン数に制限があるため、既存のコントロールピンをアドレスピンとして転用し、ピン数の増加を抑えている。この例では、SDR／DDR-SDRAMにおける、／WE（ライトイネーブル）信号ピンと、／CAS（カラムアドレスストローブ）信号ピンをアドレスピンA14, A13ピンとして転用している。

【0008】

コマンドの決定は、／CS（チップセレクト信号）とFN（ファンクションコントロール信号）の2ピンを使用し、その組み合わせにより確定する。ファーストコマンドには、／CS = “L” レベルで且つFN = “H” レベルのライトアクティブ（Write with Auto-Close : WRA）、／CS = “L” レベルで且つFN = “L” レベルのリードアクティブ（Read with Auto-Close : RDA）があり、セカンドコマンドには／CS = “H” レベルのロウアドレスラッチ（Lower Address Latch : LAL）、／CS = “L” レベルのモードレジスタセット（Mode Register Set : MRS）及びオートリフレッシュ（Auto Refresh : REF）があり、その組み合わせにより、ライト動作、リード動作、モードレジスタセット動作、オートリフレッシュ動作のコマンドが入力される。また、ロウアドレスはファーストコマンド入力時に、カラムアドレスはセカンドコマンド入力時に取り込まれる。

【0009】

上記構成のFCRAMでは、ファーストコマンドによりライト／リード動作を確定するため、ロウアドレスの取り込みと同時に周辺回路のみならずメモリコアの動作も開始でき、セカンドコマンドからメモリコアの動作開始を行うよりもランダムアクセスの開始が早くなる。また、セカンドコマンドではカラムアドレスを取り込むだけで良いため、カラム選択線CSLを選択してデータを出力する過程を速くでき、データを周辺に早期に転送できることから、ワード線のリセットからビット線のプリチャージの前倒しが可能となる。即ち、FCRAMでは、ランダムアクセスタイムt_{RAC}とランダムサイクルタイムt_{RC}双方の高速化が可能である。

【0010】

次に、上記FCRAMの動作について、簡単に説明する。

【0011】

図7は、クロックサイクルタイムが短い時のFCRAMの動作を説明するための動作波形図である。FCRAMではファーストコマンドとセカンドコマンドが連続サイクルで入力される。ファーストコマンドにより、ロウ系回路の動作を開始する信号（コマンド検知信号）bACTVが“L”レベルになるのを受けて、該当するバンクの活性化信号BNKが“H”レベルになり、該当アドレスのワード線WLが活性化され、セルデータがビット線対BLに読み出される。これによって、カラム系回路の動作開始を許可する信号（カラムゲーティング解除信号）bCENBが“L”レベルになる。

【0012】

一方、セカンドコマンドの入力により、ライト／リード動作とオートリフレッシュ／モードレジスタセットが検知される。リード／ライト時にはセカンドコマンド検知信号bCOLACTが“L”レベルになり、カラム系回路の動作が開始される。セカンドコマンドでリード／ライト動作を受け付けることで発生する信号CENBONを受けて、カラムセレクト信号（カラム選択線CSLが“H”レベル）が発生し、該当カラムアドレスにおいて、リード時にはビット線BL上のデータが読み出され、ライト時にはビット線BLにデータが書き込まれる。

【0013】

ここで、バンク活性化時間は内部タイマーで設定され、該当するバンクの活性化信号BNKを受けて作動するタイマーの出力信号BNKTMRが“L”レベルになるのを受けて、バンク活性化を終了させる信号FCTMRが出力される。そして、活性化開始から一定時間経過後、該当するバンクの活性化信号BNKは非活性となり、ロウプリチャージが開始される。

【0014】

クロックサイクルタイムが短い時には、カラム選択線CSLはセカンドコマンド検知信号bCOLACTの“L”レベルへの切り替わりを直ぐには受け付けず、ロウ系回路のカラムゲーティング解除信号bCENBの“L”レベルを受け付けてから、“H”レベルに切り替わるシステムになっている。この時には、ロウ系からカラム系に切り替わる動作が一連であり、ファーストコマンドが入力さ

れてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間 t_{RCD} が最も厳しい条件になる。

【0015】

ところで、高速な動作を行うメモリにおいては、上記 t_{RCD} のスペックが厳しく、上流工程、即ち製品の基本動作チェックを行うダイ・ソートテストにおいて、メモリセルからの読み出し信号量の少ないビットをスクリーニングしてリダンダンシビットに置換し、後工程の歩留まりを向上することが重要である。ダイ・ソートテストでは、通常動作を超えた長いサイクルのクロックが入力されるが、シンクロナスDRAMにおいては、スペックで定義されたものより短い t_{RC} でセカンドコマンドを入力することにより、スクリーニングを行ってきた。

【0016】

しかし、FCRAMにおいては、ファーストコマンドを入力してからセカンドコマンドを受け付けるまでの時間 t_{RCD} は1クロックサイクルで定義されており、クロックサイクルの長いダイ・ソートテストにおいては、 t_{RCD} を短くしてテストすることができず、スクリーニングが難しい。

【0017】

図8は、ダイ・ソートテストなどのクロックサイクルタイムが緩和された条件下における、FCRAMの動作を説明するための動作波形図である。図8からもわかるように、 t_{RCD} が緩和されていることから、カラム選択線CSLは、ロウ系回路の動作終了を受けてカラム制御回路を動作可能にするカラムゲーティング解除信号bCENBの“L”レベルを待つことなく、セカンドコマンド検知信号bCOLACTを受けて直ちに“H”レベルに切り替わる。

【0018】

即ち、ビット線BL/bBLがある程度VBLH/VSSレベルに充放電された条件下においてカラム選択線CSLが選択されるので、実動作と比較すると緩和された条件でのテストとなり、不良品がテストをすり抜けてしまう恐れがある。

【0019】

【特許文献1】

特開2001-189077

【0020】

【発明が解決しようとする課題】

上記のように、従来の高速ランダムサイクル方式の同期型半導体記憶装置及びそのテスト方法では、クロックサイクルタイム t_{CK} の長いダイ・ソートテストなどのテストモードにエントリした時に、通常のスペックを超えた長いサイクルのクロック信号が入力されるため、ファーストコマンドが入力されてロウ系回路の動作が開始されてから、セカンドコマンドが入力されてカラム系回路の動作が開始されるまでの時間 t_{RCD} を短くしてスクリーニングテストするのが難しい、という問題があった。

【0021】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、長いクロックサイクルであっても、 t_{RCD} を厳しい条件にしてスクリーニングテストを実行できる同期型半導体記憶装置及びそのテスト方法を提供することにある。

【0022】

【課題を解決するための手段】

本発明の同期型半導体記憶装置は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始を前記第2のコマンドの入力と同期させるためのテストモード用の第2の信号を生成する第2の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号と

に基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

【0023】

上記のような構成によれば、クロックサイクルタイム t_{CK} の長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて、第2のコマンドの入力と同期させることができる。これによって、第1のコマンドが入力され、ロウ系回路の動作が開始されてから第2のコマンドが入力されカラム系回路の動作が開始されるまでの時間 t_{RCD} を短くして厳しい条件でメモリコアのスクリーニングを行うことができる。

【0024】

また、本発明の同期型半導体記憶装置は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせるためのテストモード用の第2の信号を生成する第2の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

【0025】

上記のような構成によれば、カラム選択線CSLの活性化タイミングが、カラ

ム系回路の他の制御との兼ね合いにより、第2のコマンドから半クロックあるいは1クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせることができ、t_{RCD}が厳しい条件でのスクリーニングテストを実現できる。

【0026】

更に、本発明の同期型半導体記憶装置は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合せにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置であって、前記第1のコマンドに応答して活性化されるコマンド検知信号から、通常動作モード用の第1の信号を生成する第1の回路と、前記コマンド検知信号、通常動作モードかテストモードかを指示する動作モード指示信号及びメモリセルアレイ中の少なくとも一部のメモリセルを選択するための選択信号が入力され、ロウ系回路の動作開始のタイミングを前記第2のコマンドよりも半クロック単位または1クロック単位で順次遅延し、タイミング制御信号に基づいて遅延量を選択することにより、前記ロウ系回路の動作開始のタイミングを設定するテストモード用の第2の信号を生成する第2の回路と、前記動作モード指示信号で通常動作モードが指示された時に、前記第1の回路から出力される第1の信号を選択し、テストモードが指示された時に、前記第2の回路から出力される第2の信号を選択し、選択した前記第1または第2の信号と前記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号を生成する第3の回路とを具備することを特徴としている。

【0027】

上記のような構成によれば、ロウ系回路の動作開始のタイミングをタイミング制御信号で自由に設定でき、必要に応じたt_{RCD}が厳しい条件でのスクリーニングテストを実現できる。

【0028】

本発明の同期型半導体記憶装置のテスト方法は、第1のコマンドと、この第1

のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第1のコマンドを入力するステップと、前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始を前記第2のコマンドの入力と同期させるステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

【0029】

上記のような方法によれば、クロックサイクルタイム t_{CK} の長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて第2のコマンドの入力と同期させることができる。これによって、第1のコマンドが入力されロウ系回路の動作が開始されてから、第2のコマンドが入力されカラム系回路の動作が開始されるまでの時間 t_{RCD} を短くして厳しい条件でメモリコアのスクリーニングを行うことができる。

【0030】

また、本発明の同期型半導体記憶装置のテスト方法は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第1のコマンドを入力するステップと、前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始をカラム選択線が活性化するクロック

サイクルタイムに合わせるステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

【0031】

上記のような方法によれば、カラム選択線CSLの活性化タイミングが、カラム系回路の他の制御との兼ね合いにより、第2のコマンドから半クロックあるいは1クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせることができ、tRCが厳しい条件でのスクリーニングテストを実現できる。

【0032】

更に、本発明の同期型半導体記憶装置のテスト方法は、第1のコマンドと、この第1のコマンドが入力された次のサイクルで入力される第2のコマンドとの組み合わせにより動作が制御され、前記第1のコマンドの入力に応答してロウ系回路の動作が開始され、前記第2のコマンドの入力に応答してカラム系回路の動作が開始される同期型半導体記憶装置をテストする方法であって、通常動作モードかテストモードかを指示する動作モード指示信号を入力するステップと、第1のコマンドを入力するステップと、前記第1のコマンドを入力した次のサイクルで第2のコマンドを入力するステップと、前記動作モード指示信号でテストモードが指示された時に、ロウ系回路の動作開始のタイミングを第2のコマンドよりも半クロック単位または1クロック単位で遅延するステップと、タイミング制御信号に基づいて、前記ロウ系回路の動作開始のタイミングを選択するステップと、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するステップと、活性化された前記メモリセルに対してスクリーニングテストを行うステップとを具備することを特徴としている。

【0033】

上記のような方法によれば、タイミング制御信号に基づいて、ロウ系回路の動作開始のタイミングをタイミング制御信号で自由に設定でき、必要に応じたtRCが厳しい条件でのスクリーニングテストを実現できる。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

[第1の実施の形態]

本第1の実施の形態では、FCRAMにおいて、クロックサイクルタイムtCKの長いダイ・ソートテストなどのテストモードにエントリした時に、このFCRAM内部でのロウ系回路の動作開始を遅らせ、スクリーニングテストを行うようしている。例えば、バンク活性化信号bBNKACTをセカンドコマンドの入力まで遅延させることによって、ファーストコマンドが入力されロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間tRCDを短くしてメモリコアのスクリーニングテストを行う。

【0035】

図1は、本発明の第1の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、FCRAMにおいて、クロックサイクルタイムtCKの長いダイ・ソートテストなどの時にtRCDを短くした動作(tRCDmin)でスクリーニングテストを行うための回路を抽出してその構成例を示している。この回路は、コマンド検知信号bACTV、通常動作モードかテストモードかを指示する動作モード指示信号TMTRCDMIN、bTMTRCDMIN、及びバンク選択信号BNKSELに基づいて、通常動作モードで動作する時とテストモードで動作する時とで異なるタイミングのブロック活性化信号bBNKACTを生成し、メモリセルアレイ中の選択されたブロックを活性化するものである。

【0036】

図1に示す如く、この回路は、各々が所望のタイミングの信号を生成する論理回路を形成する第1乃至第3の回路11～13を含んで構成されている。上記第1の回路11は、第1のコマンド(ファーストコマンド)に応答して活性化されるコマンド検知信号bACTVから、通常動作モード用の信号を生成する。上記第2の回路12は、上記コマンド検知信号bACTV、動作モード指示信号TMTRCDMIN及びバンクを選択するためのバンク選択信号BNKSELが入力

され、ロウ系回路の動作開始を第2のコマンド（セカンドコマンド）の入力と同時に設定する（同期させる）ためのテストモード用の第2の信号 b ACTVD を生成する。上記第3の回路13は、動作モード指示信号 TMT RCDMIN, b TMT RCDMIN に応答して通常動作モードとテストモードの切替動作を行うものである。通常動作モードとテストモードのいずれの場合にもコマンド検知信号 b ACTV は全バンクに対して活性化されており、通常動作モードが指示された時には、バンク選択信号 BNKSEL で選択されているバンクのみから第3の信号 b BANKACT が出力される。一方、テストモードが指示された時には、バンク選択信号 BNKSEL で選択されているバンクのみで第2の信号 b ACTVD が選択され、第3の信号 b BANKACT が出力される。

【0037】

上記第1の回路11は、ロウ系回路の動作を開始する信号（コマンド検知信号） b ACTV から所定期間のパルス信号を発生するパルス発生回路であり、インバータ21, 22, 23とノアゲート24とを備えている。上記コマンド検知信号 b ACTV は、上記インバータ21の入力端及び上記ノアゲート24の一方の入力端に供給される。上記インバータ21の出力端は上記インバータ22の入力端に、上記インバータ22の出力端は上記インバータ23の入力端にそれぞれ接続される。上記インバータ23の出力端は上記ノアゲート24の他方の入力端に接続され、このノアゲート24の出力端から第1の信号が出力される。

【0038】

一方、上記第2の回路12は、インバータ31～39、クロックドインバータ40～44、ノアゲート45, 46及び NAND ゲート47, 48などを含んで構成されている。動作モード指示信号 TMT RCDMIN は上記インバータ31の入力端に供給され、このインバータ31の出力信号 b TMT RCDMIN が上記ノアゲート45の一方の入力端に供給される。このノアゲート45の他方の入力端には、コマンド検知信号 b ACTV が供給される。このノアゲート45の出力端は NAND ゲート47の一方の入力端に接続される。上記 NAND ゲート47は、クロック信号 b CLK, CLK に同期して動作するもので、他方の入力端にはバンク選択信号 BNKSEL が供給される。上記 NAND ゲート47の出力端には、



インバータ32の入力端が接続される。このインバータ32の出力端には、クロック信号CLK, bCLKに同期して動作するクロックドインバータ40の入力端が接続され、その出力端は上記インバータ32の入力端に接続される。また、上記インバータ32の出力端は、クロック信号CLK, bCLKに同期して動作するクロックドインバータ41の入力端に接続される。上記クロックドインバータ41の出力端は、インバータ33の入力端に接続される。上記インバータ33の出力端には、クロック信号bCLK, CLKに同期して動作するクロックドインバータ42の入力端が接続され、その出力端は上記インバータ33の入力端に接続される。上記インバータ33の出力端は、クロック信号bCLK, CLKに接続される。上記クロック同期して動作するクロックドインバータ43の入力端に接続される。上記クロックドインバータ43の出力端は、インバータ34の入力端に接続される。このインバータ34の出力端には、クロック信号CLK, bCLKに同期して動作するクロックドインバータ44の入力端が接続され、その出力端は上記インバータ34の入力端に接続される。

【0039】

また、上記インバータ34の出力端は、インバータ35の入力端に接続される。このインバータ35の出力端には、インバータ36の入力端が接続されるとともに、上記ノアゲート46の一方の入力端が接続される。上記インバータ36の出力端はインバータ37の入力端に、このインバータ37の出力端はインバータ38の入力端に順次接続され、インバータ38の出力端は上記ノアゲート46の他方の入力端に接続される。上記ノアゲート46の出力端は、 NANDゲート48の一方の入力端に接続され、他方の入力端には信号TMRCDMINが供給される。上記NANDゲート48の出力端はインバータ39の入力端に接続され、このインバータ39からテスト用のコマンド検知信号（第2の信号）bACTVDが出力されるようになっている。

【0040】

上記第3の回路13は、 アンドゲート51, 52、ノアゲート53, 54、インバータ55, 56及びNANDゲート57を含んで構成されている。上記アンドゲート51の一方の入力端は上記ノアゲート24の出力端に接続され、他方の入

方端には上記インバータ31から出力される信号bTMTRCDMINが供給される。上記アンドゲート52の一方の入力端は上記インバータ39の出力端に接続されて信号bACTVDが供給され、他方の入力端には信号TMTRCDMIが供給される。上記アンドゲート51, 52の出力端には、ノアゲート53の一方及び他方の入力端が接続され、このノアゲート53の出力端はインバータ55の入力端に接続される。また、信号TMTRCDMIN及びバンク選択信号BNKSELは、ノアゲート54の一方及び他方の入力端に供給され、このノアゲート54の出力端はインバータ56の入力端に接続される。上記インバータ55, 56の出力端は、 NANDゲート57の一方及び他方の入力端に接続され、この NANDゲート57の出力端からバンク活性化信号（第3の信号）bBNKACTが出力されるようになっている。

【0041】

図2は、上記図1に示した回路の動作を説明するための各信号の動作波形図である。

【0042】

通常動作モード時には、信号TMTRCDMINが“L”レベル（信号bTMTRCDMINは“H”レベル）であり、第3の回路13によって第1の回路11の出力信号が選択される。ファーストコマンドを受けて、コマンド検知信号bACTVが“L”レベルになると、それを受けロウ系回路の制御信号（該当するバンクの活性化信号）BNKを“H”レベルにし、ワード線WLを活性化するとともにセンスアンプを動作状態にし、カラムゲーティング解除信号bCENBを“L”レベルにする。

【0043】

これに対し、本第1の実施の形態では、図2に示すように信号TMTRCDMINが“H”レベル（信号bTMTRCDMINは“L”レベル）となってテストモードにエントリすると、第3の回路13によって第2の回路12の出力信号bACTVDが選択され、前述のロウ系回路の一連の動作をセカンドコマンドの入力と同一のタイミングから開始する。これにより、カラムゲーティング解除信号bCENBが“L”レベルになるのを受けてから、カラム選択線CSLが“



H" レベルに切り替わるように制御できる。

【0044】

具体的には、図1に示した回路において、コマンド検知信号 bACTVを1サイクルシフト（遅延）し、且つパルス化した信号 bACTVDを使用してバンク活性化信号 bBNKACTを“L”レベルにしている。この制御により、図2の動作波形図に示すような、ロウ系回路の制御信号（該当するバンクの活性化信号）BNKをセカンドコマンドと同一サイクルで“H”レベルに切り替える制御を実現できる。

【0045】

以上により、カラムゲーティング解除信号 bCENBの“L”レベルを受けてカラム選択線CSLを活性化するtRCDが厳しい条件を、ダイ・ソートテストにおけるクロック周波数が緩和された条件で実現できる。

【0046】

従って、上記のような構成並びに方法によれば、クロックサイクルタイムtCKの長いダイ・ソートテストなどのテストモードにエントリした時に、この同期型半導体記憶装置内部でロウ系回路の動作開始を遅らせて、セカンドコマンドの入力と同時に設定する（同期させる）ことができる。これによって、ファーストコマンドが入力され、ロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間tRCDを短くして厳しい条件でメモリコアのスクリーニングを行うことができる。

【0047】

【第2の実施の形態】

上述した第1の実施の形態では、カラム選択線CSLの活性化がセカンドコマンドの入力タイミングで制御されることを想定している。しかしながら、実際のカラム選択線CSLの活性化のタイミングは、カラム系回路の他の制御との兼ね合いにより、セカンドコマンドの入力から半クロックあるいは1クロック後のサイクルから制御する場合が多い。この時には、上記第1の実施の形態を適用した場合においても、tRCDが緩和された条件でのダイ・ソートテストになってしまふ。

【0048】

そこで、本第2の実施の形態は、このような条件においてもtRCDが厳しい条件でダイ・ソートテストを実現できるように、バンク活性化信号bBNKAC Tをセカンドコマンドの入力よりも更に半クロックまたは1クロック遅延させるものである。

【0049】

図3に示す回路は、上記図1に示した回路における第2の回路12中にタイミング制御回路14を設けたものである。即ち、図1に示した回路におけるインバータ35に代えてタイミング制御回路14を設けている。図3において、図1と同一部分には同じ符号を付してその詳細な説明は省略する。

【0050】

第2の回路12は、インバータ31～39, 60, 61、クロックドインバータ40～44, 62～65、アンドゲート66, 67, 68、ノアゲート45, 46, 69及び NANDゲート47, 48などを含んで構成されている。動作モード指示信号TMT R C D M I Nは上記インバータ31の入力端に供給され、このインバータ31の出力信号bTMT R C D M I Nが上記ノアゲート45の一方の入力端に供給される。このノアゲート45の他方の入力端には、コマンド検知信号bACTVが供給される。このノアゲート45の出力端は NANDゲート47の一方の入力端に接続される。上記 NANDゲート47は、クロック信号bCLK, CLKに同期して動作するもので、他方の入力端にはバンク選択信号BNKSE Lが供給される。上記 NANDゲート47の出力端には、インバータ32の入力端が接続される。このインバータ32の出力端には、クロック信号CLK, bCLKに同期して動作するクロックドインバータ40の入力端が接続され、その出力端は上記インバータ32の入力端に接続される。また、上記インバータ32の出力端は、クロック信号CLK, bCLKに同期して動作するクロックドインバータ41の入力端に接続される。上記クロックドインバータ41の出力端は、インバータ33の入力端に接続される。上記インバータ33の出力端には、クロック信号bCLK, CLKに同期して動作するクロックドインバータ42の入力端が接続され、その出力端は上記インバータ33の入力端に接続される。上記インバ

ータ33の出力端は、クロック信号bCLK, CLKに同期して動作するクロックドインバータ43の入力端に接続される。上記クロックドインバータ43の出力端は、インバータ34の入力端に接続される。このインバータ34の出力端には、クロック信号CLK, bCLKに同期して動作するクロックドインバータ44の入力端が接続され、その出力端は上記インバータ34の入力端に接続される。上記インバータ34の出力端には、クロック信号CLK, bCLKに同期して動作するクロックドインバータ62の入力端が接続され、その出力端は上記インバータ60の入力端に接続される。上記インバータ60の出力端は、クロック信号bCLK, CLKに同期して動作するクロックドインバータ63の入力端に接続され、その出力端はインバータ60の入力端に接続される。このインバータ60の出力端は、クロック信号bCLK, CLKに同期して動作するクロックドインバータ64の入力端に接続される。上記クロックドインバータ64の出力端は、インバータ61の入力端に接続される。このクロックドインバータ61の出力端は、クロック信号bCLK, CLKに同期して動作するクロックドインバータ65の入力端に接続され、その出力端は上記インバータ61の入力端に接続される。

【0051】

上記インバータ34の出力信号、上記インバータ60の出力信号及び上記インバータ61の出力信号はそれぞれ、アンドゲート66, 67, 68の一方の入力端にそれぞれ供給される。上記アンドゲート66の他方の入力端にはタイミング制御信号TM1が、上記アンドゲート67の他方の入力端にはタイミング制御信号TM2が、上記アンドゲート68の他方の入力端にはタイミング制御信号TM3がそれぞれ供給される。これらアンドゲート66, 67, 68の出力端には、ノアゲート69の第1乃至第3の入力端がそれぞれ接続される。上記タイミング制御信号TM1～TM3は、ロウ系回路の動作開始タイミングの遅延量を選択するための信号である。上記タイミング制御信号TM1が“H”レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力と同時になるように遅延される。上記タイミング制御信号TM2が“H”レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力よりも半クロック遅延される

。上記タイミング制御信号TM3が“H”レベルとなると、ロウ系回路の動作開始タイミングがセカンドコマンドの入力よりも1クロック遅延される。

【0052】

また、上記ノアゲート69の出力端には、インバータ36の入力端及びノアゲート46の一方の入力端が接続される。このインバータ36の出力端は、インバータ37の入力端に、このインバータ37の出力端はインバータ38の入力端に順次接続され、インバータ38の出力端が上記ノアゲート46の他方の入力端に接続される。上記ノアゲート46の出力端は、 NANDゲート48の一方の入力端に接続され、他方の入力端には信号TMT R C DM INが供給される。上記 NANDゲート48の出力端はインバータ39の入力端に接続され、このインバータ39から第2の信号b A C T V Dが出力されるようになっている。

【0053】

上記のような構成によれば、タイミング制御回路14を付加することにより、セカンドコマンドの入力と同時のみでなく、セカンドコマンドの入力より半クロック後あるいはセカンドコマンドの入力より1クロック後からカラム選択線C S Lが活性化されるような制御であっても、タイミング選択信号TM1, TM2, TM3によりカラム選択線C S Lの活性化タイミングに合わせて信号B N Kが“H”レベルに切り替わるタイミングを選択して切り替えることにより、t R C Dが厳しい条件でダイ・ソートテストを行うことができる。

【0054】

従って、上記のような構成並びに方法によれば、カラム選択線C S Lの活性化タイミングが、カラム系回路の他の制御との兼ね合いにより、セカンドコマンドから半クロックあるいは1クロック後のサイクルから制御される場合にも、ロウ系回路の動作開始をカラム選択線が活性化するクロックサイクルタイムに合わせてt R C Dが厳しい条件でのダイ・ソートテストを実現できる。また、タイミング選択回路14を設けたことにより、タイミング制御信号TM1, TM2, TM3に基づいて、ロウ系回路の動作開始のタイミングを自由に設定でき、必要に応じたt R C Dが厳しい条件でのダイ・ソートテストを実施できる。

【0055】

[第3の実施の形態]

前述した第1の実施の形態あるいは第2の実施の形態の制御を適用することにより、t RCDが厳しい条件でダイ・ソートテストを行うことができるが、本第3の実施の形態では更に厳しいt RCDの条件でのスクリーニングを行えるようにしている。

【0056】

図4は、本第3の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するための動作波形図である。図4からわかるように、第1の実施の形態または第2の実施の形態におけるテストモード時に、カラムゲーティング解除信号b C E N Bを通常より前倒しすることにより、カラム系回路の活性化タイミングを早くしている。これによって、更にt RCDの条件が厳しくなり、ガードバンドを持ったt RCDのスクリーニングをダイ・ソートテストなどのクロック周波数が緩和された条件で実現できる。

【0057】

なお、上記第1乃至第3の実施の形態ではF C R A Mを例にとって説明したが、他の半導体記憶装置にも適用できるのは勿論である。

【0058】

以上第1乃至第3の実施の形態を用いて本発明の説明を行ったが、本発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0059】

【発明の効果】

以上説明したように、本発明によれば、長いクロックサイクルであっても、t

RCDを厳しい条件にしてスクリーニングテストを実行できる同期型半導体記憶装置及びそのテスト方法が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る同期型半導体記憶装置について説明するためのもので、クロック周波数が緩和された条件において、tRCDが厳しいダイ・ソートテストを実現するための回路を抽出してその構成例を示す回路図。

【図2】

本発明の第1の実施の形態に係る同期型半導体記憶装置のテスト方法について説明するためのもので、クロック周波数が緩和された条件において、tRCDが厳しいダイ・ソートテストを実現するための動作波形図。

【図3】

本発明の第2の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、カラム選択線CSLの活性タイミングに合わせて、ロウ系回路の動作開始を切り替える動作を実現できる回路を抽出してその構成例を示す回路図。

【図4】

本発明の第3の実施の形態に係る同期型半導体記憶装置及びそのテスト方法について説明するためのもので、ガードバンドを持ったtRCDのスクリーニングを行う際の動作波形図。

【図5】

従来の同期型半導体記憶装置について説明するためのもので、FCRAMのファーストコマンドとセカンドコマンドの組み合わせによる状態遷移図。

【図6】

従来の同期型半導体記憶装置について説明するためのもので、図5のコマンド入力に対応したピン入力を説明するためのファンクションテーブルを示す図。

【図7】

高速クロック周波数における、FCRAMの動作を説明するための動作波形図。

。

【図8】

クロック周波数が緩和された条件における、FCRAMの動作を説明するための動作波形図。

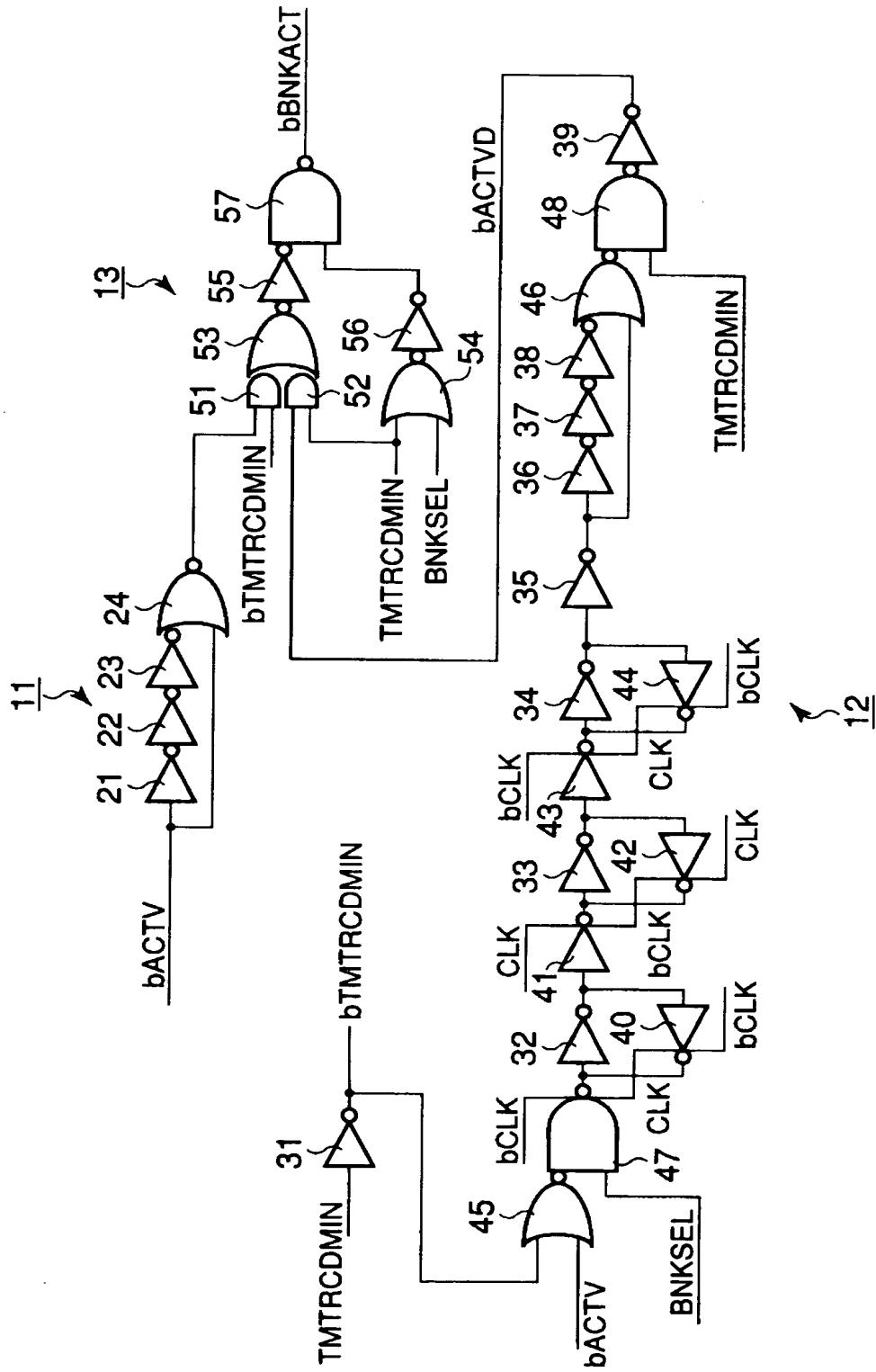
【符号の説明】

- 1 1 … 第1の回路
- 1 2 … 第2の回路
- 1 3 … 第3の回路
- 1 4 … タイミング制御回路
- C L K, b C L K … クロック信号
- t C K … クロックサイクルタイム
- t R C … ランダムサイクルタイム
- t R C D … ファーストコマンドが入力されロウ系回路の動作が開始されてから、セカンドコマンドが入力されカラム系回路の動作が開始されるまでの時間
- t R A C … ランダムアクセスタイム
- C S L … カラム選択線
- b C E N B … カラムゲーティング解除信号
- C E N B O N … セカンドコマンドでリード／ライト動作を受け付けることで発生する信号
 - b C O L A C T … セカンドコマンド検知信号
 - B N K S E L … バンク選択信号
 - B N K T M R … タイマーの出力信号
 - b B N K A C T … バンク活性化信号（第3の信号）
 - B N K … ロウ系回路の制御信号（該当するバンクの活性化信号）
 - b A C T V … コマンド検知信号
 - b A C T V D … 遅延されたコマンド検知信号（第2の信号）
 - T M T R C D M I N, b T M T R C D M I N … 動作モード指示信号
 - T M 1, T M 2, T M 3 … タイミング制御信号
 - R D A … リードコマンド
 - W R A … ライトコマンド

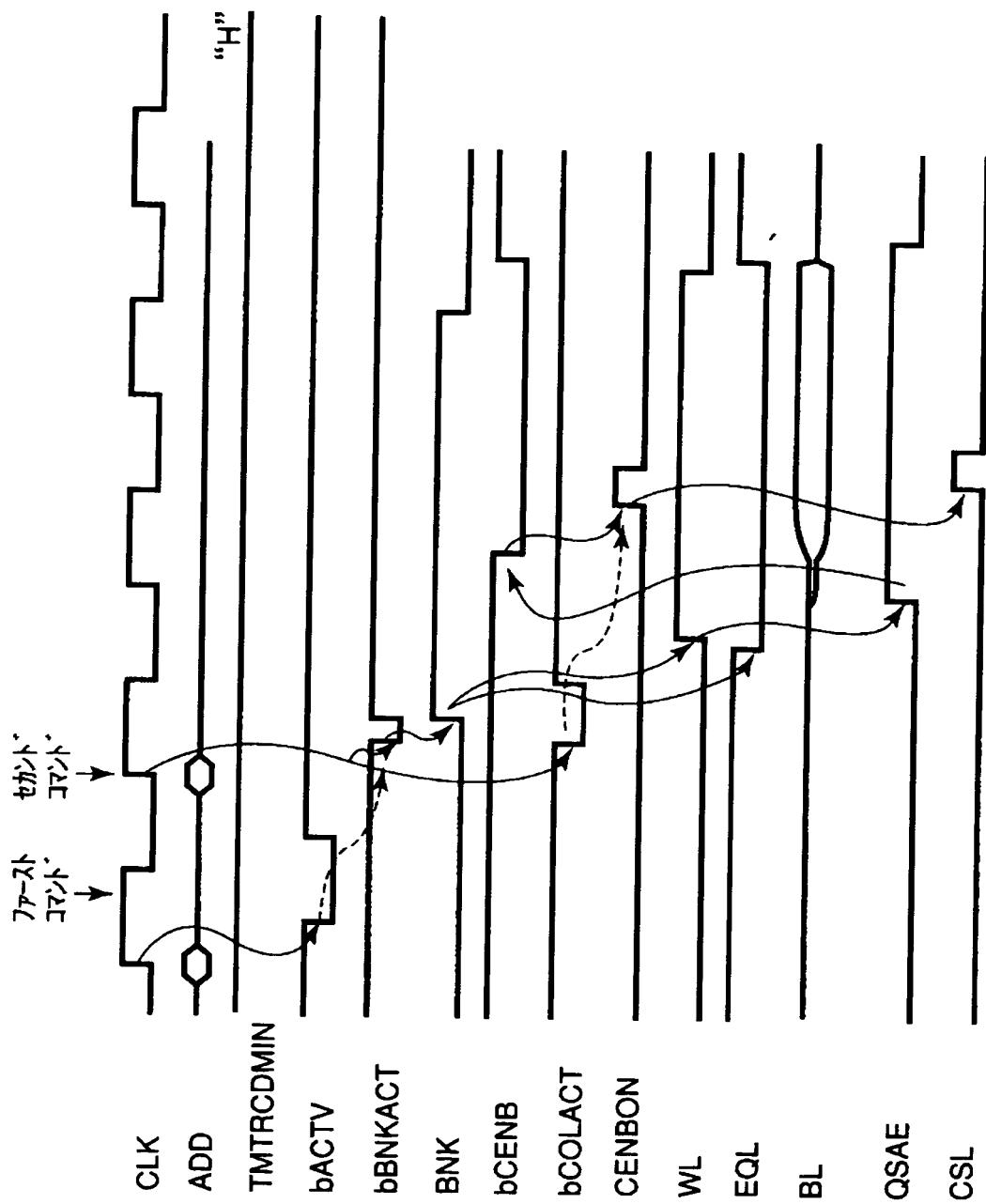
L A L … ロワードレスラッチコマンド
M R S … モードレジスタセットコマンド
R E F … オートリフレッシュコマンド
／W E … ライトイネーブル信号
／C A S … カラムアドレスストローブ信号

【書類名】図面

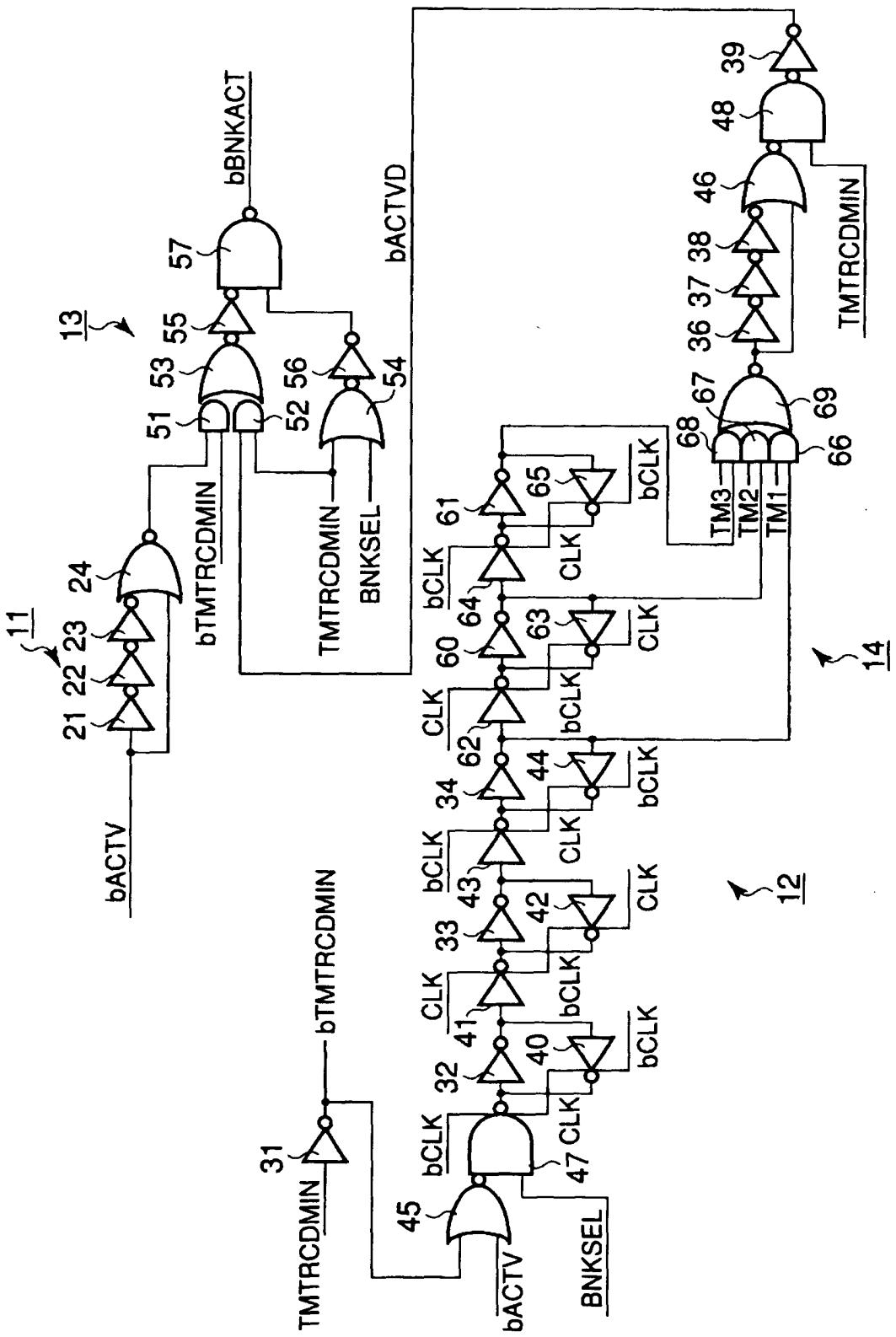
【図1】



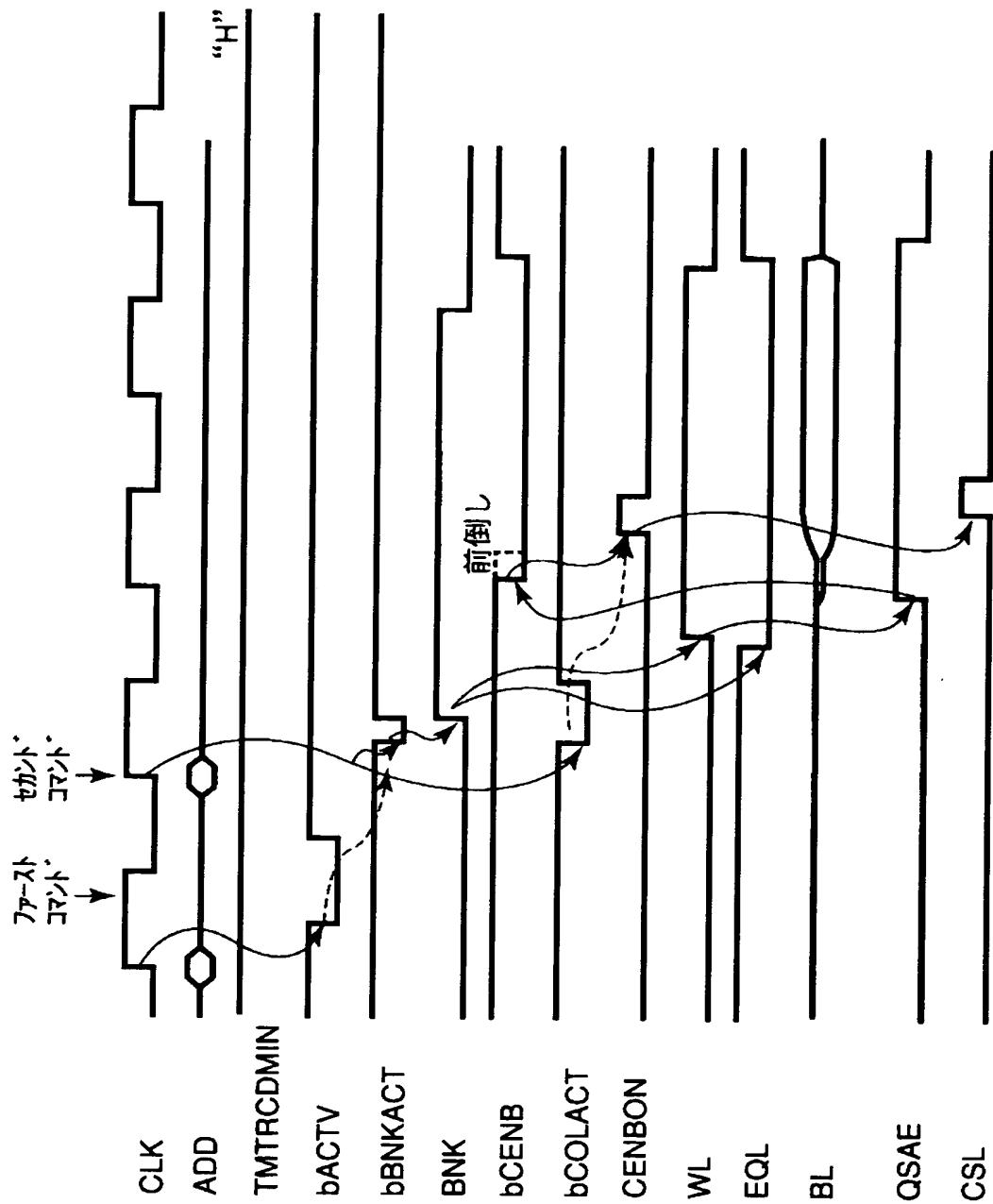
【図2】



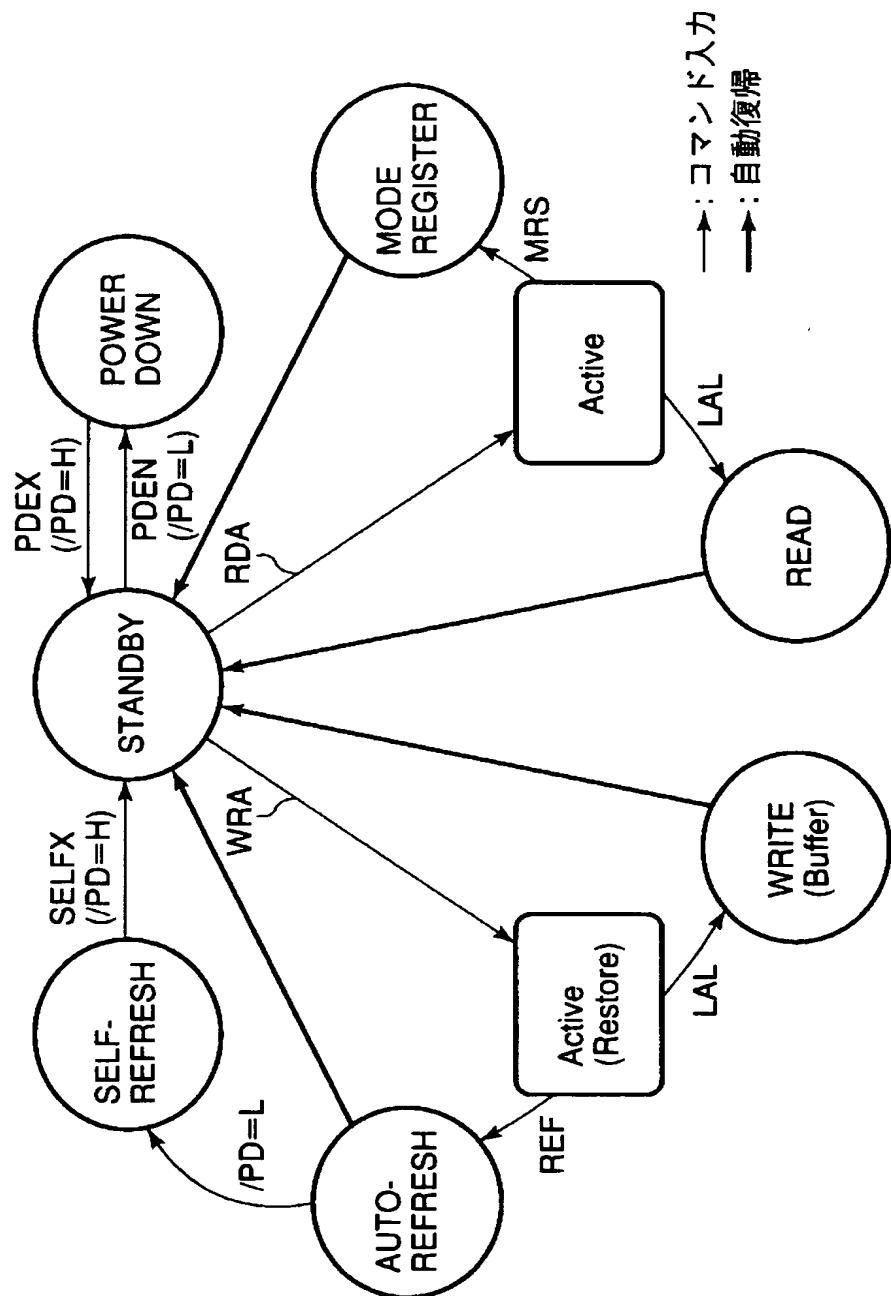
【図3】



【図4】



【図5】



【図6】

(a) 1st Command

Function	Symbol	Pin name					
		/CS	FN (/RAS)	A14 (/WE)	A13 (/CAS)	BA1-0	A12-0
Deselect	DESL	H	X	X	X	X	X
Read with Auto-close	RDA	L	H	UA	UA	BA	UA
Write with Auto-close	WRA	L	L	UA	UA	BA	UA

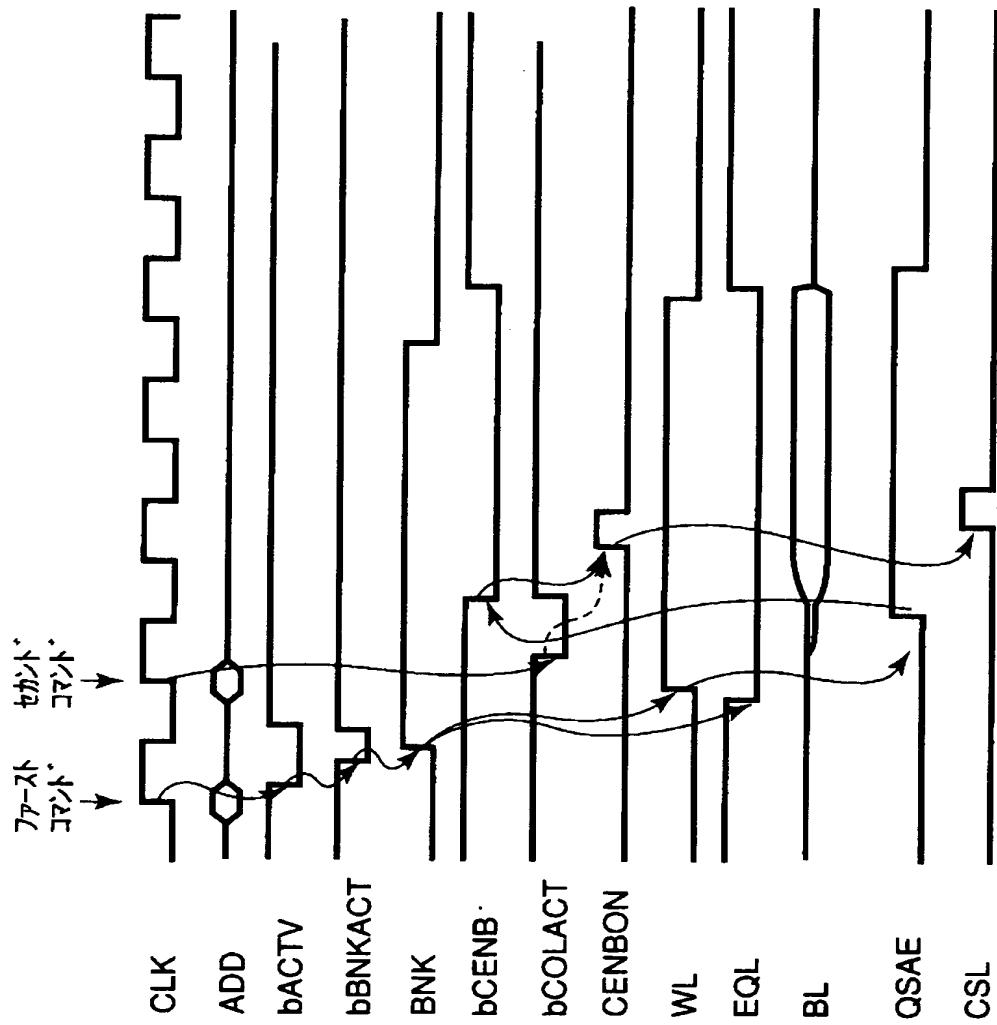
(b)

2nd Command (1clock after from RDA or WRA command)

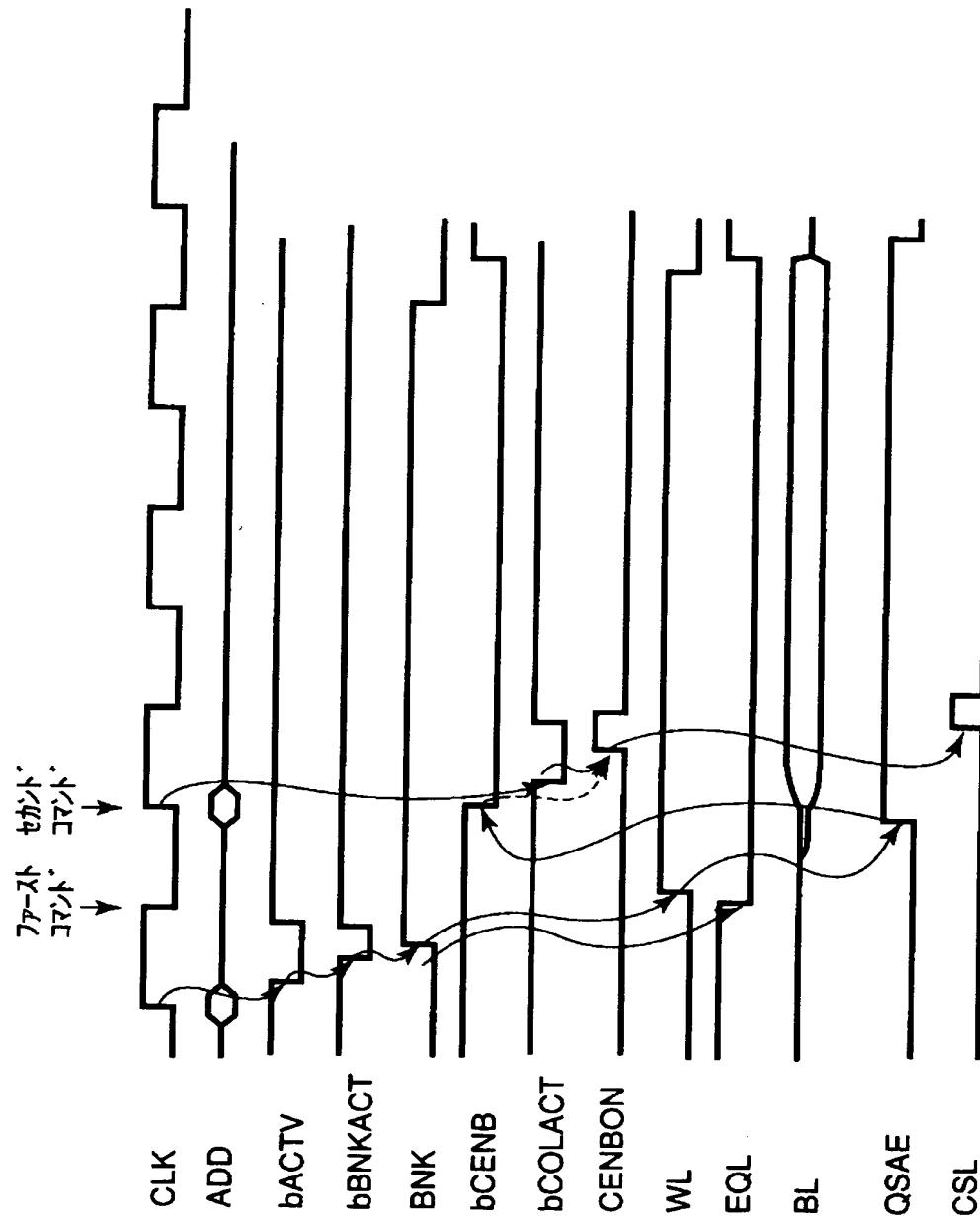
Function	Symbol	Pin name					
		/CS	FN (/RAS)	A14 (/WE)	A13 (/CAS)	BA1-0	A12-0
Lower Address Latch	LAL	H	X	X	X	X	LA
Mode Register Set*	MRS	L	X	L	L	V	V
Auto-Refresh	REF	L	X	X	X	X	X

Note * BA0=L select Standard Mode Register and
BA0=H does Extended Mode Register

【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 長いクロックサイクルであっても、t_{RCD}が厳しい条件でスクリーニングテストを実行できる同期型半導体記憶装置を提供することを目的とする。

【解決手段】 F C R A Mにおいて、コマンド検知信号 b_{ACTV}から第1の信号を生成する第1の回路11と、コマンド検知信号、動作モード指示信号 T M T R C D M I N 及び選択信号 B N K S E L が入力され、ロウ系回路の動作開始を第2のコマンドの入力と同期させるための第2の信号 b_{ACTVD}を生成する第2の回路12と、動作モード指示信号で通常動作モードが指示された時に、上記第1の信号を選択し、テストモードが指示された時に、上記第2の信号を選択し、選択した上記第1または第2の信号と上記選択信号とに基づいて、メモリセルアレイ中の少なくとも一部のメモリセルを活性化するための第3の信号 b_{BNKAC}T を生成する第3の回路13とを具備することを特徴としている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝